

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08006681 A**(43) Date of publication of application: **12 . 01 . 96**

(51) Int. Cl.

G06F 1/26
G06F 1/32
G06F 1/04
G06F 15/16

(21) Application number: **07079151**(22) Date of filing: **04 . 04 . 95**(30) Priority: **18 . 04 . 94 JP 06 78771**(71) Applicant: **HITACHI LTD**

(72) Inventor:
HATTORI RYUICHI
SEKI YUKIHIRO
HIDA YASUHIRO
HARA ATSUSHI
OGURA TOSHIHIKO
OKAZAWA KOICHI
OEDA TAKASHI
SANO MAKOTO

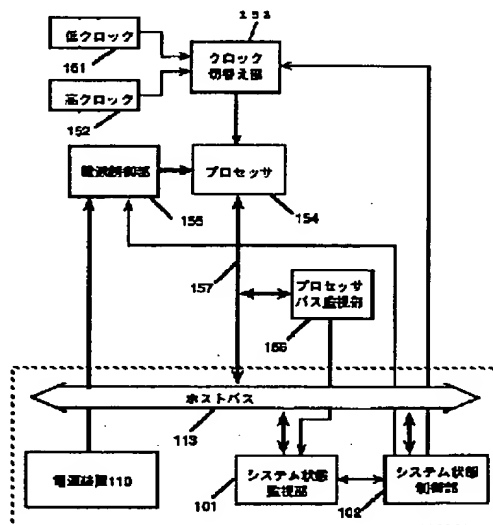
(54) **POWER SAVING CONTROL SYSTEM**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To perform state transition control over respective CPUs and individual power saving control corresponding to the operation state so that the power consumption of a system in a stand-by state is suppressed without spoiling the consistency of the whole operation.

CONSTITUTION: A multiprocessor system equipped with plural CPUs is provided with a processor bus monitor part 156 which detects the operation states of the individual CPUs by monitoring a processor bus and a system state monitor part 101 which monitors the load state of the system. Further, the system is provided with a system state control part 102 which controls the power consumption of the individual CPUs according to a report from the system state monitor part 101. If a state wherein the load on a specific CPU is small because of a key input waiting state continues, that is informed by the processor bus monitor part 156 to the system state control part 102, which sends a command to a clock switching part 102, which sends a command to a clock switching part 153 to switch the clock supplied to the CPU to a low frequency.



カ/低周波を監視し制御
カ/低周波に低周波を供給し、中停止中。

Jack H³
(2092574)
(2)
①

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平8-6681
(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所

G 0 6 F 1/26
1/32
1/04 3 0 1 C
G 0 6 F 1/00 3 3 4 G
3 3 2 Z

審査請求 未請求 請求項の数24 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願平7-79151
(22) 出願日 平成7年(1995)4月4日
(31) 優先権主張番号 特願平6-78771
(32) 優先日 平6(1994)4月18日
(33) 優先権主張国 日本 (J P)
Zurich 報告
特許庁長官 特許庁長官 特許庁長官
特許庁長官 特許庁長官 特許庁長官
特許庁長官 特許庁長官 特許庁長官

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 服部 隆一
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内
(72) 発明者 関 行宏
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内
(72) 発明者 飛田 庸博
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内
(74) 代理人 弁理士 武 顕次郎

最終頁に続く

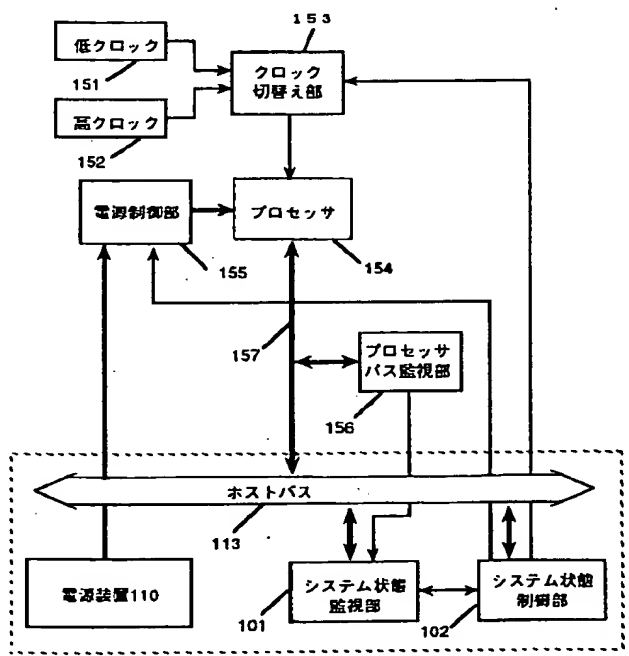
(54) 【発明の名称】 省電力制御システム

(57) 【要約】

【目的】 マルチプロセッサ方式の情報処理装置に適用される省電力制御システムに関し、全体的な動作の整合性を損なわずに待機状態のシステムの消費電力が抑制されるように、各々のCPUの状態遷移制御およびその動作状態に応じた個別の省電力制御を行う。

【構成】 複数のCPUを備えるマルチプロセッサシステムにおいて、プロセッサバスを監視することで個々のCPUの動作状態を検出するプロセッサバス監視部と、システムの負荷状態を監視するシステム状態監視部とを設ける。また、システム状態監視部からの通知に基づいて個々のCPUによる消費電力を制御するシステム状態制御部を設ける。キー入力待ちなどのために特定のCPUに対する負荷が少ない状態が続くと、そのことがプロセッサバス監視部などによってシステム状態制御部に通知され、システム状態制御部はクロック切替部に指令して当該CPUへ供給するクロックを低い周波数に切り替える。

図2 図1中のプロセッサ部の構成を示すブロック図



【特許請求の範囲】

【請求項1】 少なくとも二以上のCPUを備えるマルチプロセッサシステムにおいて、システムの動作状態を常に検知する状態監視手段と、前記状態監視手段に検知されるシステムの動作状態が所定の境界条件を越えて変化したとき、指定されたCPUについて状態遷移制御を行う状態制御手段とを具備することを特徴とする省電力制御システム。

【請求項2】 前記状態遷移制御を、CPUの動作状態を通常状態から待機状態に遷移させる省電力制御と、CPUの動作状態を待機状態から通常状態に遷移させる復帰制御のいずれかとすることを特徴とする請求項1記載の省電力制御システム。

【請求項3】 前記状態制御手段は、前記状態遷移制御を各々のCPUごとに順次行うことを特徴とする請求項2記載の省電力制御システム。

【請求項4】 前記状態制御手段は、システム全体における消費電力があらかじめ定めた最小電力より小さくなるまで前記省電力制御を行うことを特徴とする請求項3記載の省電力制御システム。

【請求項5】 前記状態制御手段は、通常状態にあるCPUがひとつとなるまで前記省電力制御を行うことを特徴とする請求項3記載の省電力制御システム。

【請求項6】 前記状態制御手段は、システムの動作状態が前記境界条件の規定値を下回っている状態を前記状態監視手段が検知したとき、前記省電力制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項7】 前記状態制御手段は、システムの動作状態が前記境界条件の規定値を上回っている状態を前記状態監視手段が検知したとき、前記復帰制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項8】 前記状態制御手段は、システムの動作状態が前記境界条件の規定値を下回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、前記省電力制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項9】 前記状態制御手段は、システムの動作状態が前記境界条件の規定値を上回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、前記復帰制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項10】 前記状態制御手段は、指定された入力手段が入力待ち状態にあることを前記状態監視手段が検知したとき、前記省電力制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項11】 前記状態制御手段は、指定された入力手段への入力操作があったことを前記状態監視手段が検

知したとき、前記復帰制御を開始することを特徴とする請求項2～5のいずれか一項記載の省電力制御システム。

【請求項12】 前記省電力制御ではCPU内に設けられたクロック停止手段を用いて当該CPUの動作を休止させる一方、前記復帰制御では当該CPUの動作を再開させることを特徴とする請求項2～8のいずれか一項記載の省電力制御システム。

【請求項13】 前記省電力制御ではCPUに供給するクロック周波数を通常状態用より低い省電力用周波数に切り替える一方、前記復帰制御では前記クロック周波数を通常状態用の周波数に切り替えることを特徴とする請求項2～8のいずれか一項記載の省電力制御システム。

【請求項14】 前記省電力制御ではCPUへの電源供給を遮断して当該CPUを停止させる一方、前記復帰制御では当該CPUへの電源供給を再開して当該CPUを再起動させることを特徴とする請求項2～8のいずれか一項記載の省電力制御システム。

【請求項15】 前記境界条件の規定値を、システムの構成要素間でやり取りされる信号を中継するバスの負荷状態を表す特定の値とし、

前記状態監視手段は、現時点におけるバスの負荷状態をシステムの動作状態として検知することを特徴とする請求項1～14のいずれか一項記載の省電力制御システム。

【請求項16】 前記バスは、システムバスまたはプロセッサバスおよびI/Oバスのうちの少なくともひとつであることを特徴とする請求項15記載の省電力制御システム。

【請求項17】 前記境界条件の規定値を、システム全体におけるアプリケーション実行の負荷状態を表す特定の値とし、

前記状態監視手段は、現時点におけるアプリケーション実行の負荷状態をシステムの動作状態として検知することを特徴とする請求項1～14のいずれか一項記載の省電力制御システム。

【請求項18】 前記境界条件の規定値を、アプリケーションの機能を実現させるタスクまたはジョブを各々のCPUに分配するためのタスク・キューまたはジョブ・キューの状態および前記タスクまたはジョブの実行順序を制御するスケジューラの状態であるスケジューリング状態を表す特定の値とし、

前記状態監視手段は、現時点におけるスケジューリング状態をシステムの動作状態として検知することを特徴とする請求項1～14のいずれか一項記載の省電力制御システム。

【請求項19】 前記状態監視手段および前記状態制御手段を、複数のCPUを用いたアプリケーション実行に必要なタスク・スレッドの生成および分配とスケジューリング制御とを行うマルチプロセッサ対応のオペレーテ

ィングシステムの内部に具備する構成としたことを特徴とする請求項1～18のいずれか一項記載の省電力制御システム。

【請求項20】 あらかじめ前記境界条件の規定値を登録しておくためのシステム負荷参照テーブルをファームウェアに具備する構成としたことを特徴とする請求項19記載の省電力制御システム。

【請求項21】 前記境界条件の規定値の登録または更新を行う際、前記システム負荷参照テーブルを前記ファームウェアからメモリ上に読み出し、システムの動作状態に応じてメモリ上の当該テーブル中に登録された各種の設定値を更新した後、新たに得られた当該テーブルを前記ファームウェアに書き込むことを特徴とする請求項20記載の省電力制御システム。

【請求項22】 前記システム負荷参照テーブルには、システム中のバスにおける単位時間当たりのメモリアクセストランザクションの回数を表す情報、メモリアクセストランザクションの回数を表す情報、単位時間当たりのメモリアイトランザクションの回数を表す情報、I/Oアクセストランザクションの回数を表す情報のうちの少なくともひとつを登録しておくことを特徴とする請求項20または21記載の省電力制御システム。

【請求項23】 前記システム負荷参照テーブルには、システム中のバスにおける単位時間内のメモリアクセスアドレス範囲を表す情報、I/Oアクセスアドレス範囲を表す情報のいずれかまたは両方を登録しておくことを特徴とする請求項20または21記載の省電力制御システム。

【請求項24】 前記状態制御手段によるCPUの省電力制御に際して、システムの全体的な制御に影響を与えないアイドルスレッドを当該CPUに実行させることを特徴とする請求項19記載の省電力制御システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は省電力制御システムに係り、特に、マルチプロセッサ方式を採用している情報処理装置に適用される省電力制御システムに関する。

【0002】

【従来の技術】 従来より、ノートブックタイプの小型パソコンやワードプロセッサなどの情報処理装置においては、内蔵バッテリーを使用した場合の動作時間を長くすることなどを目的として、例えば図24に示すような省電力制御システムが採用されている。

【0003】 図24は、従来の省電力制御システムの一例を示すブロック図であり、特開平4-130510号公報において開示されているものである。同図中、システムバス11には、CPU7、キーボード3、キー入力待ち判別手段1、ROM8、RAM9および出力装置10がそれぞれ接続されており、システムがキーボードか

らの入力待ち状態にあることを常時検出して、入力待ち状態にある間はCPU1に与えるクロックを通常動作時に比べて周波数の低いクロックに切り替えることにより、入力待ち状態中におけるシステムの消費電力を低減させている。

【0004】 すなわち、システムバス11に接続されているキー入力待ち判別手段1は、RAM9に格納された応用プログラムを実行中のCPU7がROM8に格納されたキーセンス・ルーチンと呼び出したときに、キー入力待ち信号35をアクティブ状態とする。また、上記キーセンスルーチンが連続して呼び出されている間、キー入力待ち判別手段1は、キー入力信号12をアクティブ状態に保持する。そして、キー入力信号12が所定の時間以上連続してアクティブ状態であったとき、制御手段2は、クロック切り替え信号13を切り替え手段4に対して送出する。これに応じて、切り替え手段4は、高クロック5および低クロック6のいずれかを切り替えてCPU1に送出する。このように、消費電力を低減する方法の一つとして、システムが待機状態にあることを検出し、CPUの動作クロック周波数をより低い周波数に切り替える方法が従来より知られている。また、最近の傾向として、日経エレクトロニクス誌1993年9月13日号(No.590:P103~123)に記載のように、米国のエナジースタープログラムなどにおいて商用電源で動作する一般の情報処理機器においても、待機状態にあるときの消費電力を削減することが求められつつある。

【0005】 一方、小型情報処理機器の分野においても複数のCPUを搭載したマルチプロセッサシステムが普及しつつある。一般的に、これらのマルチプロセッサシステムにおいては、演算性能が高く消費電力の大きなCPUが複数個搭載されることから、システム全体の消費電力が大きくなってしまふ。そこで、電源回路の小型化を目的として、例えば図25に示すようなマルチプロセッサシステムにおける電源供給方式などが提案されている。

【0006】 図25は、従来のマルチプロセッサシステムにおける電源供給方式の一例を示すブロック図であり、特開平4-155512号公報において開示されているものである。同図中、主電源部21は、N個のプロセッサ22₁~22_Nに対し、各プロセッサに供給すべき定格電圧V₁のN倍の直流電圧NV₁を供給している。そして、各プロセッサ22₁~22_Nには、定電圧回路23₁~23_Nがそれぞれ電圧V₁を供給している。すなわち、実装するプロセッサの数に応じて、定電圧回路の個数と主電源部の電圧のみを変更することにより、電源装置の構成を簡単にしている。このように、マルチプロセッサシステムでは、システムを構成するプロセッサ数に応じて消費電力が異なるため、プロセッサ数に応じて適切な電源装置を設けなければならない。

【0007】 上記従来技術の他、近年では製造当初から

省電力機能が搭載されているCPUも発表されている。省電力機能を内蔵したプロセッサとしては、例えば米国インテル社の Pentiumプロセッサなどが広く利用されており、その省電力機能については、インテル社発行のデータシート「Pentium TM Family User's Manual Volume 1: Data Book」Order Number 241428-003, 1994年発行における30-1~30-11ページの記載により、一般に公開されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の省電力制御システムは、単一のCPUを有するシングルプロセッサ方式の情報処理装置への適用を想定したものであり、マルチプロセッサ方式の情報処理装置については全く考慮されていない。例えば、マルチプロセッサシステムにおいて、あるCPUがキーセンス・ルーチンと呼ばし出したとき、システムバスに接続されているキー入力待ち判別手段は、キーセンス・ルーチンがどのCPUによって呼び出されたのかまで判別することは不可能であり、したがって、省電力制御の対象とすべきCPUを特定できないという問題点があった。

【0009】また、上記従来の省電力制御システムは、オペレーティングシステム（以下OSと略す）からはソフトウェア的に透過であるように構成され、専用のハードウェアによって省電力制御を行っていたが、マルチプロセッサシステムでは、OS側でソフトウェア的に省電力制御を行うことも必要となる。例えば、複数のCPUを備えるマルチプロセッサシステムの状態遷移制御（通常状態←→待機状態）を行う場合には、複数のCPUのうちのいずれのCPUの状態を遷移させるのかを決定して、当該CPUの起動または停止処理を行うとともに、接続されているハードウェア資源の論理的な管理を行う必要がある。しかしながら、従来のマルチプロセッサシステム対応のOSは、このような省電力制御を行うことができないという問題点があった。

【0010】一方、上記従来のマルチプロセッサシステムにおける電源供給方式では、実装されているすべてのCPUに対して常時電力供給を行う構成とされているため、任意のCPUの動作を停止させたり、あるいは当該CPUへの電源供給を停止させるという、省電力制御に必要な処理を行うことは不可能であるという問題点があった。

【0011】また近年、小型情報処理機器の本体の消費電力が増大するとともに、24時間通電状態で使用する場合も増大していることから、システム全体の消費電力の増大が大きな問題とされるようになった。このため、例えば米国環境保護局の定めたエナジースタープログラムのように、システムが使用されていない待機時間中における消費電力を一定値以下に抑えることが求められている。ところが、最近では、マルチプロセッサシステムを比較的容易に構成できるCPUが続々と発表されつつあ

り、このようなCPUを複数個備えたマルチプロセッサシステムは、通常その消費電力が大きいので、上述したような省電力制御を行うことが以前にも増して重要な課題となっている。そこで、特に個々のプロセッサの消費電力が大きいマルチプロセッサシステムにおいては、システムが待機状態であるときに一度に動作させるCPUの個数を減らすことにより、省電力化を図る方法（日経エレクトロニクス誌1993年9月13日号p103~p123に記載）が提案されている。

10 【0012】さらに、上述した PentiumプロセッサなどのCPUに内蔵されている省電力機能を利用する場合、当該CPUを単体で用いれば特に問題は起こらないが、複数の当該CPUを一度に動作させるマルチプロセッサシステムでは、システム全体の動作に不都合が発生することのないように、十分に配慮しなければならないという問題点があった。

【0013】したがって本発明の目的は、上記の問題点を解決して、複数のCPUを備えるマルチプロセッサシステムにおいて、システム全体の動作の整合性を損なうことなく、システムが待機状態にあるときの消費電力が一定値以下となるように、各々のCPUの状態遷移制御およびその動作状態に応じた個別の省電力制御を行うことのできる省電力制御システムを提供することにある。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の省電力制御システムは、少なくとも二以上のCPUを備えるマルチプロセッサシステムにおいて、システムの動作状態を常に検知する状態監視手段と、前記状態監視手段に検知されるシステムの動作状態が所定の境界条件を越えて変化したとき、指定されたCPUについて状態遷移制御（CPUの動作状態を通常状態から待機状態に遷移させる省電力制御と、CPUの動作状態を待機状態から通常状態に遷移させる復帰制御のいずれか）を行う状態制御手段とを具備する構成としたものである。

【0015】そして、前記状態制御手段は、前記状態遷移制御を各々のCPUごとに順次行い、特に前記省電力制御に際しては、システム全体における消費電力があらかじめ定めた最小電力より小さくなるまで、あるいは、通常状態にあるCPUがひとつとなるまで、繰り返し前記省電力制御を行うものとする。

【0016】また、前記省電力制御の開始条件を、①システムの動作状態が前記境界条件の規定値を下回っている状態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を下回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段が入力待ち状態にあることを前記状態監視手段が検知したとき、などのように定めるとともに、前記復帰制御の開始条件を、①システムの動作状態が前記境界条件の規定値を上回っている状

態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を上回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段への入力操作があったことを前記状態監視手段が検知したとき、などのように定めるものである。

【0017】また、前記状態制御手段による具体的な状態遷移制御として、①前記省電力制御ではCPU内に設けられたクロック停止手段を用いて当該CPUの動作を休止させる一方、前記復帰制御では当該CPUの動作を再開させる、②前記省電力制御ではCPUに供給するクロック周波数を通常状態用より低い省電力用周波数に切り替える一方、前記復帰制御では前記クロック周波数を通常状態用の周波数に切り替える、③前記省電力制御ではCPUへの電源供給を遮断して当該CPUを停止させる一方、前記復帰制御では当該CPUへの電源供給を再開して当該CPUを再起動させる、などの処理を行うようにしたものである。

【0018】また、前記状態監視手段による具体的な検知処理として、①前記境界条件の規定値を、システムの構成要素間でやり取りされる信号を中継するバス（システムバスまたはプロセッサバスおよびI/Oバスのうちの少なくともひとつ）の負荷状態を表す特定の値とし、現時点におけるバスの負荷状態をシステムの動作状態として検知する、②前記境界条件の規定値を、システム全体におけるアプリケーション実行の負荷状態を表す特定の値とし、現時点におけるアプリケーション実行の負荷状態をシステムの動作状態として検知する、③前記境界条件の規定値を、アプリケーションの機能を実現させるタスクまたはジョブを各々のCPUに分配するためのタスク・キューまたはジョブ・キューの状態および前記タスクまたはジョブの実行順序を制御するスケジューラの状態であるスケジューリング状態を表す特定の値とし、現時点におけるスケジューリング状態をシステムの動作状態として検知する、などの処理を行うようにしたものである。

【0019】そしてさらに、前記状態監視手段および前記状態制御手段を、複数のCPUを用いたアプリケーション実行に必要なタスク・スレッドの生成および分配とスケジューリング制御とを行うマルチプロセッサ対応のオペレーティングシステムの内部に具備するとともに、あらかじめ前記境界条件の規定値を登録しておくためのシステム負荷参照テーブルをファームウェアに具備し、前記境界条件の規定値の登録または更新を行う際、前記システム負荷参照テーブルを前記ファームウェアからメモリ上に読み出し、システムの動作状態に応じてメモリ上の当該テーブル中に登録された各種の設定値を更新した後、新たに得られた当該テーブルを前記ファームウェアに書き込んだ上で、前記状態制御手段によるCPUの省電力制御に際して、システムの全体的な制御に影響を

与えることのないアイドルスレッドを当該CPUに実行させるようにしたものである。

【0020】

【作用】上記構成に基づく作用を説明する。

【0021】本発明の省電力制御システムでは、少なくとも二以上のCPUを備えるマルチプロセッサシステムにおいて、システムの動作状態を常に検知する状態監視手段と、前記状態監視手段に検知されるシステムの動作状態が所定の境界条件を越えて変化したとき、指定されたCPUについて状態遷移制御（CPUの動作状態を通常状態から待機状態に遷移させる省電力制御と、CPUの動作状態を待機状態から通常状態に遷移させる復帰制御のいずれか）を行う状態制御手段とを具備する構成としたことにより、マルチプロセッサシステムの運用状況などに応じて同時に動作するCPUの個数を切り替えながら、最適な消費電力での運用を維持することができる。

【0022】そして、前記状態制御手段は、前記状態遷移制御を各々のCPUごとに順次行い、特に前記省電力制御に際しては、システム全体における消費電力があらかじめ定められた最小電力より小さくなるまで、あるいは、通常状態にあるCPUがひとつとなるまで、繰り返し前記省電力制御を行うことにより、マルチプロセッサシステムによる消費電力の限界値をあらかじめ設定して、より効率的な省電力化を図るとともに消費電力を最小限に抑えることができる。

【0023】また、前記省電力制御の開始条件を、①システムの動作状態が前記境界条件の規定値を下回っている状態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を下回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段が入力待ち状態にあることを前記状態監視手段が検知したとき、などのように定めるとともに、前記復帰制御の開始条件を、①システムの動作状態が前記境界条件の規定値を上回っている状態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を上回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段への入力操作があったことを前記状態監視手段が検知したとき、などのように定めることにより、演算処理などによる負荷が比較的少ないアイドル状態のCPUを特定して、選択的に省電力制御の対象とすることができる。

【0024】また、前記状態制御手段による具体的な状態遷移制御として、①前記省電力制御ではCPU内に設けられたクロック停止手段を用いて当該CPUの動作を休止させる一方、前記復帰制御では当該CPUの動作を再開させる、②前記省電力制御ではCPUに供給するクロック周波数を通常状態用より低い省電力用周波数に切り替える一方、前記復帰制御では前記クロック周波数を

通常状態用の周波数に切り替える、③前記省電力制御ではCPUへの電源供給を遮断して当該CPUを停止させる一方、前記復帰制御では当該CPUへの電源供給を再開して当該CPUを再起動させる、などの処理を行うようにしたことにより、同時に動作するCPUの個数に応じてマルチプロセッサシステム全体の消費電力を低減させることができる。

【0025】また、前記状態監視手段による具体的な検知処理として、①前記境界条件の規定値を、システムの構成要素間でやり取りされる信号を中継するバス（システムバスまたはプロセッサバスおよびI/Oバスのうちの少なくともひとつ）の負荷状態を表す特定の値とし、現時点におけるバスの負荷状態をシステムの動作状態として検知する、②前記境界条件の規定値を、システム全体におけるアプリケーション実行の負荷状態を表す特定の値とし、現時点におけるアプリケーション実行の負荷状態をシステムの動作状態として検知する、③前記境界条件の規定値を、アプリケーションの機能を実現させるタスクまたはジョブを各々のCPUに分配するためのタスク・キューまたはジョブ・キューの状態および前記タスクまたはジョブの実行順序を制御するスケジューラの状態であるスケジューリング状態を表す特定の値とし、現時点におけるスケジューリング状態をシステムの動作状態として検知する、などの処理を行うようにしたことにより、実際に稼動している個々のマルチプロセッサシステムの特徴に合わせて最適な省電力制御を行うことができる。

【0026】そしてさらに、前記状態監視手段および前記状態制御手段を、複数のCPUを用いたアプリケーション実行に必要なタスク・スレッドの生成および分配とスケジューリング制御とを行うマルチプロセッサ対応のオペレーティングシステムの内部に具備するとともに、あらかじめ前記境界条件の規定値を登録しておくためのシステム負荷参照テーブルをファームウェアに具備し、前記境界条件の規定値の登録または更新を行う際、前記システム負荷参照テーブルを前記ファームウェアからメモリ上に読み出し、システムの動作状態に応じてメモリ上の当該テーブル中に登録された各種の設定値を更新した後、新たに得られた当該テーブルを前記ファームウェアに書き込んだ上で、前記状態制御手段によるCPUの省電力制御に際して、システムの全体的な制御に影響を与えることのないアイドルスレッドを当該CPUに実行させるようにしたことにより、オペレーティングシステムを介して各々のCPU自体が有する省電力機能を利用することでハードウェア構成に依存しない省電力制御を行うとともに、マルチプロセッサシステムのアイドル状態を前記システム負荷参照テーブルに定義しておくことでシステム構成に変更があってもそれに応じて柔軟な省電力制御を行うことができる。

【0027】

【実施例】以下、本発明の省電力制御システムの一実施例を図面を用いて詳細に説明する。

【0028】図1は、本発明の省電力制御システムの一実施例の全体構成を示すブロック図である。同図中、n個のプロセッサ部103～105はホストバス113に接続され、さらにホストバス113はI/Oバスブリッジ108を通じてI/Oバス114へ接続されている。また、主メモリ106はホストバスに、キーボード109、ファイルシステム115、表示制御部112及びROM107はI/Oバス114に接続されている。

【0029】図1において、システム状態監視部101（請求項中の“状態監視手段”に相当する）はホストバス101を通じて、上記n個のプロセッサ部103～105それぞれの動作状態と、キーボード109からの入力の有無を監視し、システムがキーボード109からの入力待ち状態または低負荷状態のいずれかになったことを検出する。そして、システムが入力待ち状態または低負荷状態になってから一定時間が経過したとき、システム状態制御部102（請求項中の“状態制御手段”に相当する）に対して省電力制御を開始するように要求信号を送出する。これに応じて、システム状態制御部は、入力待ち状態または低負荷状態となっているプロセッサ部に対して、当該プロセッサに供給するクロック信号を低速なクロック信号（通常より低い省電力用周波数のクロック信号）に切り替える旨の要求信号および当該プロセッサへの電源供給を停止する旨の要求信号を送出するとともに、システムの消費電力に応じて容量の異なる電源装置を適宜切り替えるための電源切り替え信号を電源装置110に対して送出的。この他、ファイルシステム115に対してハードディスクドライブのモータ停止要求信号を、表示制御部112に対してCRT電源停止要求信号を送出するなどにより、システム全体の省電力制御を行う。

【0030】図2は、図1中のプロセッサ部の構成を示すブロック図である。図2においては、通常動作時にCPUに供給する高クロック（通常動作用の高い周波数のクロック信号）と省電力制御時に供給する低クロック（省電力用の低い周波数のクロック信号）とを切り替えるようにプロセッサ部が構成されている。

【0031】図3は、図2中のプロセッサにおけるクロック切り替えの処理フローを示す図である。以下、図2および図3を用いてプロセッサ部における省電力制御の動作の一例を説明する。図3において、プロセッサ監視部156は、プロセッサ154とホストバス113との間のプロセッサバス157に接続され、プロセッサの動作状態を判別する。例えば、プロセッサ154がキーボードからの入力待ち状態になったときには、キーセンルーチン（通常、図1中のROM107または主メモリ106に格納されているプログラム）が実行される。プロセッサバス監視部156は、このキーセンルー

ーチンが実行されていることを判別し（図6中のステップ501）、システム状態監視部101に対してプロセッサ154がキー入力待ち状態にあることを示す信号を出力する。システム状態監視部101は、あらかじめ決められた一定時間以上、キー入力待ち状態が続いていることを検出すると（ステップ502）、上記キー入力待ち状態となった特定のプロセッサ154に対する省電力制御を開始すべき旨の省電力制御要求信号をシステム状態制御部102に対して出力する（ステップ503）。すると、システム状態制御部102は、当該プロセッサ部のクロック切り替え部153に対し、低クロックへの切り替え要求信号を送出し（ステップ504）、これに応じてクロック切り替え部は、プロセッサ154に対して低クロック151の供給を開始する（ステップ505）。一般に、動作周波数が低いほど、プロセッサによる消費電力が少ないため、キー入力待ち状態など高速な演算性能を必要としない場合には、低速なクロックに切り換えてやることでマルチプロセッサシステムの消費電力を低減することができる。

【0032】図4は図2中のプロセッサの停止・電源切断の処理フローを示す図である。以下、図2および図4を用いてプロセッサ部における省電力制御の動作の他の例を説明する。図4において、プロセッサ154がキー入力待ち状態に入ったことをプロセッサバス監視部156が検出する（図4中のステップ541）と、システム状態監視部101に対してプロセッサ154がキー入力待ち状態にあることを示す信号を出力する。そして、システム状態監視部101は、キー入力待ち状態が一定時間以上連続していることを検出すると（ステップ542）、システム状態制御部102に対してキー入力待ち状態にある当該プロセッサ154を停止させる旨のプロセッサ停止要求を送出する（ステップ533）。これに応じて、システム状態制御部102は、システムの統括管理を行っているオペレーティングシステム（以下OSと略す）に対して、当該プロセッサ154の停止処理の開始を要求する（ステップ534）。OSによるプロセッサ154の停止処理が終了すると（ステップ535）、システム状態制御部102は、動作停止中の当該プロセッサ154に電源を供給する電源制御部155に対し、電源供給停止を要求する信号を送出する（ステップ536）。これに応じて、電源制御部155は当該プロセッサ154への電源供給を停止させる（ステップ537）。この他のOSの詳細な動作については後述する。

【0033】なお、上述したクロック切り換え処理またはプロセッサの停止処理は、キー入力待ち状態になった単独のプロセッサのみを対象として行ったが、ひとつのプロセッサがキー入力待ち状態になったとき、複数のプロセッサを対象として上述した省電力化制御を行なうようにしてもよい。これは、図3に示した処理フロー中の

ステップ503の直後に、クロック切り換えの対象とするCPUを決定する処理を追加することによって実現される。また、図4に示した処理フロー中のステップ533の直後に、停止処理の対象とするプロセッサを決定する処理を追加するとともに、処理535において対象とされた全てのプロセッサの停止処理が終了したかどうかを判定することによって実現される。

【0034】次に、プロセッサの停止処理の詳細について説明する。

【0035】図5は、CPUの停止処理の詳細を示す図であり、図4中のステップ534、535で行われるプロセッサの停止処理の詳細を示している。プロセッサの停止処理にあたっては、コヒーレンシ維持処理（プロセッサ内部のキャッシュメモリおよび外部の二次キャッシュメモリの内容と、主メモリの内容とを一致させる処理）が必要不可欠である。すなわち図5において、プロセッサの停止処理を行なう場合には、最初に、プロセッサおよび二次キャッシュメモリに対してキャッシュフラッシュ信号を送出する（ステップ561）。フラッシュ信号を受け付けると、当該プロセッサおよび二次キャッシュメモリは、メモリ内に保持しているデータの中で、プロセッサからの書き込みなどのために内容が更新され、主メモリ内の該当アドレスに保持されている内容と不一致を生じているもの（これを“ダーティデータ”という）を、主メモリ内の該当アドレスに書き込む処理（これを“掃き出し”という）を行なう（ステップ562）。そして、ダーティデータの掃き出しがすべて完了すると（ステップ563）、当該プロセッサに対し停止命令を発行し（ステップ564）、当該プロセッサの停止処理が完了する。

【0036】なお、上述したキャッシュメモリのフラッシュ機能を有するプロセッサとしては、例えば、米国インテル社からマイクロプロセッサ Pentium (TM) などが提供されており、フラッシュ機能については、米インテル社発行のデータシートPentium (TM) Processor User's Manual Volume1:Pentium Processor Data Book中の5-31ページに記載がある。

【0037】次に、図2中のプロセッサバス監視部156の構成およびキーセンスルーチンの動作について図6を用いて説明する。

【0038】図6は、図2中のプロセッサバス監視部の構成を示すブロック図である。キーセンスルーチンには、フラグレジスタ156aの設定動作と同時にカウンタ156eの内容をクリアする動作を追加しておく。図6において、カウンタ156eは、その内容をクリアされるとすぐにカウントを開始し、カウント値がレジスタ156dに予め設定しておいた値を超えたとき、フラグレジスタ156aの内容をクリアする信号が送出される。これによって、キーセンスルーチンが連続して実行されている間はカウンタ156eの内容が連続してクリ

アされるので、フラグレジスタ156aはクリアされずに当該プロセッサがキー入力待ち状態であることを示す信号を出力し続ける。また、キーセンルーチンの実行が開始されてから一定時間内にキー入力待ち状態が解消された場合には、所定の時間の後にカウンタ156eのカウンタ値がレジスタ156dに設定された値より大きくなってフラグレジスタ156aの内容がクリアされるため、キー入力待ち状態を示す信号は解除される。

【0039】次に、図1中のプロセッサ部の他の2つの構成例を示す。

【0040】図7は、図1中のプロセッサ部の他の構成を示すブロック図(その1)である。同図の例は、①高クロック152の代わりにホストバスのシステムクロック信号159を利用し、②低クロック発生手段151では、システムクロック信号159を分周することによって低クロックを発生させ、③ROM107とは別にプロセッサバス157上にROM158を設けてプロセッサの停止処理を行なうシャットダウンルーチンなどのプログラムを格納する構成としたものである。これにより、クロック発生回路を節約して製造コストを低減させるとともに、プロセッサごとに異なるプログラムをROM158に格納して各々のプロセッサに固有の処理を実行させることもできる。

【0041】図8は、図1中のプロセッサ部の他の構成を示すブロック図(その2)である。同図の例は、①システム状態監視部101およびシステム状態制御部102の代わりに、プロセッサバス監視部156と省電力制御部159をプロセッサバス157に接続させ、②図3および図4に示した省電力動作を省電力制御部159において行なうようにしたものである。これにより、ホストバス113を含むマルチプロセッサシステムの本体には影響を与えずに、プロセッサ部において独自に省電力制御を実行することができる。

【0042】なお、上述したプロセッサの低クロック動作状態または停止状態から、通常動作状態への復帰は、キーボードからの入力や通信ポートからの割り込みなどを契機として行われる。

【0043】次に、マルチプロセッサシステム対応OSを主体とする省電力制御システムについて説明を行う。

【0044】図9は、図1のシステムで動作するマルチプロセッサシステム対応OSの全体構成を示す図である。同図中、マルチプロセッサ対応OS201は、m個のプロセッサ154₁~154_mを有するマルチプロセッサシステム218上で動作する。そして、OS201は、①OSとしての基本機能を有するカーネル205、②アプリケーションソフトとの入出力を行なうアプリケーションインターフェース204、③ユーザとの入出力を担当するユーザインターフェース203、④プロセッサのブートアップルーチン217などの基本入出力ソフトウェアであるBIOS217、⑤カーネル205に

しマルチプロセッサシステム218などのハードウェアを仮想化するハードウェア仮想化層213から構成される。そして、カーネル205は、OSの資源であるn個の仮想CPU212₁~212_nを管理しており、上記仮想CPU212₁~212_nによって処理されるタスクの待ち行列であるn個のタスクキュー211₁~211_nと、上記タスクキュー211₁~211_nに対するタスクの割当てを行うタスク割り当て部206からなる。また、ハードウェア仮想化層213は、上記n個の仮想CPU212₁~212_nを実際のマルチプロセッサシステム218(図1に示したマルチプロセッサシステムに相当する)におけるm個のCPU154₁~154_mに対応させるCPU割り当て部214と、マルチプロセッサシステム218の省電力制御を行なう省電力制御部215からなる。

【0045】次に、図10~図12を用いて、図9に示したマルチプロセッサOS201による省電力制御の説明を行う。マルチプロセッサ対応OS201による省電力制御は、負荷監視部209がタスクキュー211₁~211_nおよびタスク割り当て部206を監視してシステムの負荷状態を判断し、これに応じてハードウェア仮想化層213内部の省電力制御部215がシステム状態監視部101およびシステム状態制御部102を制御することにより実現する。

【0046】図10は、図9のOSによるプロセッサのクロック切り替え動作の処理フローを示す図である。同図中、負荷監視部209はタスクキュー211₁~211_nの状態をモニタして、システムの負荷が一定値より少ないことを検出する(ステップ511)。そして、システムの負荷が一定値より少ない状態が一定時間以上続いたことを検出すると(ステップ512)、省電力制御部215が、システム状態監視部101に対してシステムの省電力制御を行なうべき旨の設定を行う(ステップ513)。以下、ステップ514、515においては、図3中のステップ504、505と同様の処理を行う。

【0047】図11は、図9のOSによる任意のCPUの停止・電源切断の処理フローを示す図である。同図中、ステップ511~513については図10と同一の処理を行う。そして、システム状態制御部102がOS201に対して割り込みを発生させるなどにより、CPUの停止処理を要求する(ステップ534)。これに応じてOS201は、図5中に示したプロセッサの停止処理を行ない、停止処理が完了すると(ステップ535)、図4中のステップ536、537に示したのと同様の処理によって当該プロセッサへの電源供給を停止させる。

【0048】図12は、任意のCPUの停止処理の詳細を示す図であり、OS201のハードウェア仮想化層213における処理を示す。ハードウェア仮想化層においてはOS201内部の仮想CPU212₁~212_nと実

際のマルチプロセッサシステムにおけるCPU154₁～154_nとの対応付けを行なっているため、プロセッサの停止処理を行なう場合には、CPU割り当て部204が次の動作を行う。すなわち図12において、プロセッサの停止要求を受け付けると、ハードウェア仮想化層213におけるCPU割り当て部214は、停止要求の対象となるCPUへの仮想CPUの割り当てを禁止する（ステップ591）。そして、当該CPUにおいて現在タスクが実行されているかどうかを調べ（ステップ592）、実行されている場合には当該タスクの終了を待つ（ステップ593）、前述したキャッシュメモリのコヒーレンシー一致処理を行う（ステップ594）。この後、当該プロセッサに対して停止命令を発行し（ステップ595）、システム状態制御部102に対して当該プロセッサの停止処理が完了したことを通知する（ステップ596）。

【0049】図13および図14は、図9のOSによる他の省電力制御の動作を示すフローチャートであり、マルチプロセッサシステム全体の消費電力を常に一定値以下にするものである。

【0050】最初に、システムの複数のプロセッサを停止させて、消費電力を低減する処理について説明する。図13において、システムの省電力制御を開始すると、停止させるプロセッサの選択を行ない（ステップ601）、当該プロセッサの停止処理を行う（ステップ602）。さらに、当該プロセッサへの電源供給を停止してから（ステップ603）、マルチプロセッサシステム全体の消費電力を計測する（ステップ604）。そして、システムの消費電力が予め設定した設定値以下になったかどうかを判断し（ステップ605）、設定値以下でない場合には再びステップ601からの処理を繰り返し、システム全体の消費電力が設定値以下になるまで、あるいは動作状態にあるプロセッサが一つになるまで、順次プロセッサの停止処理を行なう。

【0051】次に、システムの複数のプロセッサが停止している状態から、順次プロセッサを復帰し稼働させていく処理について説明する。図14において、復帰制御を開始すると、まず復帰させるプロセッサの選択を行ない（ステップ611）、当該プロセッサへの電源供給を再開する（ステップ612）。さらに、当該プロセッサの復帰処理を行ってから（ステップ613）、システム全体の消費電力を計測する（ステップ614）。そして、システムの消費電力が予め定めた設定値以上になったかどうかを判断し（ステップ615）、設定値以下である場合には、再びステップ611から他のプロセッサの復帰処理を行ない、全てのプロセッサが通常動作状態になるまで、順次この復帰処理を繰り返す。

【0052】なお、上記図13および図14において説明した処理のうち、説明を省略した部分については、図1～図12における相当部分と同様の処理が行われる。

【0053】図15は、本発明の省電力制御システムにおける電源部の一構成例を示すブロック図である。同図中、電源部は大容量電源部701と小容量電源部704とからなり、それぞれ整流及び平滑回路702、705および定電圧回路703、706から構成されている。電源部切り換え制御部707は、前記図1におけるシステム状態制御部102が送出するモード切り換え信号708に応じて、大容量電源部701および小容量電源部704のどちらか一方を切り替えて、または、両方同時に使用して、システム電源の供給を行う。

【0054】図16は、本発明の省電力制御システムにおける電源部の他の構成例を示すブロック図である。同図中、電源装置はn個の電源部710₁～710_nからなり、各電源部はそれぞれ、整流及び平滑回路714₁～714_nと、定電圧回路715₁～715_nから構成されている。電源容量制御部720は、前記システム状態制御部102が送出するモード切り換え信号708に応じて、上記各電源部710₁～710_nのうちの任意の電源部を選択して、または、全ての電源部を同時に動作させることにより、システム電源を供給する。

【0055】図17は、本発明の省電力制御システムにおける電源部のさらに他の構成例を示すブロック図である。同図中、CPU部a730₁～CPU部n730₃と、表示制御部123およびCRT124への電源供給は、電源装置110から行われる。システム状態監視回路733は、システムが待機状態に入ったことが検出されると、システム電源制御回路732を通じて、電源制御部731₁, 731₂, ..., 731_nおよび表示制御部132に対して電源制御信号を順に送出する。電源制御部731₁, 731₂, ..., 731_nは、電源制御信号を受け取ると、それぞれの電源制御部に対応するCPU部a730₁～CPU部n730₃の停止処理が完了した後に、各CPU部a730₁～CPU部n730₃への電源供給を停止する。さらに、表示制御部123は、電源制御信号を受け取ると、CRT124に対して表示データの制御を行う、あるいはCRT124に対してさらに電源制御信号を送出するなどにより、CRT124の省電力制御を行う。

【0056】次に、図18～図23を用いて、本発明の省電力制御システムの他の実施例についての説明を行う。

【0057】図18は、本発明の省電力制御システムの他の実施例の全体構成を示すブロック図である。同図中、CPU-1(103), CPU-2(104), ..., CPU-n(105)のn個(nは自然数)のCPUは、それぞれCPU内部のクロック動作を停止する機能を有しており、システムバス801を介してI/Oバスブリッジ108、システムマネジメント部802、主メモリ106に接続されている。なお、本実施例では、請求項中の“状態監視手段”に相当する部分

17

はシステムマネジメント部802に、“状態制御手段”に相当する部分は各々のCPU内部に、それぞれ設けられているものとする。

【0058】図19は、図18のシステムにおける省電力制御動作の処理フローを示す図である。以下、図18のシステムの各部の動作を図19を用いて説明する。

【0059】図18において、システムマネジメント部802は、前述したシステムバス801およびI/Oバス114の動作状態を監視して（ステップ830）、これら2つのバスの両方あるいはどちらか一方のバスの動作状態からバス負荷率を算出し（ステップ831）、さらに、図18のマルチプロセッサシステム全体の負荷状態に基づき、当該システムがアイドル状態に入ったか否かを判定する（ステップ832）。そして、当該システムがアイドル状態に入ったと判定した場合（ステップ832=Y E S）、システムマネジメント部802は、当該システム全体の負荷状態に応じて、前述したn個のCPUのうちの任意のCPUに対して、当該CPU内部のクロック信号を停止させるクロック停止信号801-1〜-nを送出する（ステップ833）。

【0060】ここで、上述したシステムマネジメント部802は、当該システムの負荷状態を検出するために、システムバス801における単位時間当たりのトランザクション回数、システムバス801上のトランザクションの種別、トランザクションのアクセスアドレス範囲などの情報を参照する。なお、これらシステムバス801上のトランザクションに関する情報の代わりに、I/Oバス114におけるトランザクション回数や、システムバス801に接続された主メモリ106への単位時間当たりのアクセス回数、あるいは、I/Oバス114に接続されている特定の入出力装置へのアクセス状況などを監視するようにしてもよい。

【0061】図20は、図18のシステムで動作するマルチプロセッサシステム対応OSの全体構成を示す図であり、図9と同一構成部分については同一符号を付し、その説明を省略する。同図中、オペレーティングシステム201aは、m個のCPUを有するマルチプロセッサシステム218aとの組み合わせにより、以下のように動作する。

【0062】すなわち、オペレーティングシステム201a中のハードウェア仮想化層213は、マルチプロセッサシステム218a中のシステムマネジメント部802を制御するためのシステム制御部215aを具備し、システムマネジメント部802を介してシステムバス801の動作状態を監視する。システム制御部215aは、このシステムバス801の監視結果から検出されたマルチプロセッサシステム218aの負荷状態を、あらかじめオペレーティングシステム201a内のシステム負荷参照テーブル803（詳細については後述する）に登録されている値と比較する。そして、システム制御部

18

215aはこの比較結果に基づき、当該マルチプロセッサシステム218aの負荷状態に応じたシステムの省電力制御を行なう。このとき、具体的なシステムの省電力制御としては、①図18に示した各々のCPU自体に設けられている省電力機能を用いる方法、②図1〜図17を用いて説明したように各々のCPUに外部から与えるクロック周波数を切り替える方法、③任意のCPUを選択して前述したCPUの停止処理を行なった後に当該CPUへのクロック起用給と電源供給を停止させる方法のうち、いずれの方法を採用してもよい。

【0063】なお、図20のオペレーティングシステム201aについて、任意のCPUに対する省電力処理として当該CPUへのクロック供給を停止させる機能を用いる場合には、オペレーティングシステム201aの全体的な動作に何らかの不具合が生じないように、あらかじめクロック供給を停止させるべきCPUを選択してから、タスク割当部206およびタスクキュー211₁〜211_nを介して当該オペレーティングシステム201aの機能に対して全く無関係なアイドルタスク804を実行させておくことにより、以下、図21のフローチャートを用いてこの処理の説明を行う。

【0064】図21は、図20のOSによる省電力制御動作の処理フローを示す図である。同図中、システム制御部215aは、システムマネジメント部802を介してシステムバス801及び図18に示したI/Oバス114の動作を監視し、検出された2つのバスの動作状態をシステム負荷参照テーブル803の登録値と比較する（ステップ840）。システム制御部215aは、この比較結果に基づいてマルチプロセッサシステム218aがアイドル状態に入ったか否かを判定する（ステップ841）。そして、マルチプロセッサシステム218aがアイドル状態に入ったと判定された場合（ステップ841=Y E S）、当該マルチプロセッサシステム218aを構成する複数のCPUの中から停止させるCPUを選択し、オペレーティングシステム201a全体の動作に不都合が生じないようにアイドルタスクを与える（ステップ842）。さらに、システムマネジメント部802を介して、ステップ842で選択された停止させるCPUに対して、当該CPU内部の省電力機能を動作させるための信号（STPCLK#信号）を送出する（ステップ843）。

【0065】続いて、図20に示したオペレーティングシステム201aにおけるシステム負荷参照テーブル803の具体例について説明する。

【0066】図22は、図20中のシステム負荷参照テーブルの一例を示す図である。同図中、前述したシステム負荷参照テーブル803は、マルチプロセッサシステム218aにおけるBIOS-ROM107に格納されており、BIOS-ROMアドレスマップ801に示されるように、BIOS領域811とマルチプロセッサシステム218aに固有

のファームウェア領域812とから構成される。図22の例では、BIOS領域812の容量が128KBで、かつ、ファームウェア領域812の容量が128KBとされている場合を示している。システム負荷参照テーブル803は、前述したファームウェア領域812内にあり、マルチプロセッサシステム218aにおけるシステムバス801またはI/Oバス114、あるいは、主メモリ106または特定の入出力デバイスに対するCPUからのアクセス頻度などの情報が格納される。すなわち、図22に示すシステム負荷参照テーブル803では、例えば、マルチプロセッサシステム218aのシステムバス801上における単位時間あたりのメモリアドレス回数の情報(814)や、単位時間あたりのメモリアドレス回数の情報(815)などを登録している。

【0067】この他、マルチプロセッサシステム218aのシステムバス801または主メモリ106へアクセスする際のメモリアドレス範囲の上限の情報(816)や同じくメモリアドレス範囲の下限の情報(817)をさらに登録するようにしてもよい。また、マルチプロセッサシステム218aにおけるI/Oバス114の動作状態を検出するための情報として、I/Oバス114上のトランザクションがアクセスする特定のI/Oアドレス情報(818)や単位時間あたりのI/Oリード回数の情報(819)や同じく単位時間あたりのI/Oライト回数の情報(820)を登録するようにしてもよい。また、マルチプロセッサシステム218aに接続された周辺機器からCPUに対する単位時間あたりの割り込み処理要求回数の情報(821)を登録するようにしてもよい。

【0068】最後に、システム負荷参照テーブル803の更新について説明する。

【0069】図23は、図20のOSによるシステム負荷参照テーブルの更新処理フローを示す図である。図18および図20に示したマルチプロセッサシステム218aにおいて、システム負荷参照テーブル803は、図22に示したように当該マルチプロセッサシステム218aに固有のファームウェアとしてBIOS-ROM107に格納されている。そこで、図20に示したオペレーティングシステム201aは、当該マルチプロセッサシステム218aの起動時に、BIOS-ROM107からシステム負荷参照テーブル803を主メモリ106上に読み出す。

【0070】図23において、負荷参照テーブル803を更新する場合には、図18中のCRT111およびキーボード109を用いて、当該マルチプロセッサシステム218aのユーザとの対話形式で更新作業を行なう。すなわち、ユーザとの対話処理を通じ、オペレーティングシステム以外のアプリケーションプログラム(負荷プログラム)を全て停止する(ステップ850)。その後、負荷プログラムが全て停止して、マルチプロセッサシステム218aがアイドル状態に入ったことを確認し

てから(ステップ851=Y E S)、一定時間の間、システムマネジメント部802を通じてシステムバス801及びI/Oバス114の動作状態を監視する(ステップ852)。そしてさらに、2つのバスの監視結果から各々のバスにおける単位時間あたりの当該バスの負荷状態を算出し、これに基づいてメモリ上のシステム負荷参照テーブル803への登録パラメータを作成する(ステップ853)。このようにして得られたシステム負荷参照テーブル803をBIOS-ROM107におけるファームウェア内のテーブルに書き込む(ステップ854)。このとき、BIOS-ROM107のファームウェア部分については、例えばEEPROM(電氣的消去可能なROM)などの書き替え可能なデバイスで構成すればよい。

【0071】

【発明の効果】以上詳しく説明したように、本発明の省電力制御システムによれば、少なくとも二以上のCPUを備えるマルチプロセッサシステムにおいて、システムの動作状態を常に検知する状態監視手段と、前記状態監視手段に検知されるシステムの動作状態が所定の境界条件を越えて変化したとき、指定されたCPUについて状態遷移制御(CPUの動作状態を通常状態から待機状態に遷移させる省電力制御と、CPUの動作状態を待機状態から通常状態に遷移させる復帰制御のいずれか)を行う状態制御手段とを具備する構成としたことにより、マルチプロセッサシステムの運用状況などに応じて同時に動作するCPUの個数を切り替えながら、最適な消費電力での運用を維持することができるという効果が得られる。

【0072】そして、前記状態制御手段は、前記状態遷移制御を各々のCPUごとに順次行い、特に前記省電力制御に際しては、システム全体における消費電力があらかじめ定めた最小電力より小さくなるまで、あるいは、通常状態にあるCPUがひとつとなるまで、繰り返し前記省電力制御を行うことにより、マルチプロセッサシステムによる消費電力の限界値をあらかじめ設定して、より効率的な省電力化を図るとともに消費電力を最小限に抑えることができるという効果が得られる。

【0073】また、前記省電力制御の開始条件を、①システムの動作状態が前記境界条件の規定値を下回っている状態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を下回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段が入力待ち状態にあることを前記状態監視手段が検知したとき、などのように定めるとともに、前記復帰制御の開始条件を、①システムの動作状態が前記境界条件の規定値を上回っている状態を前記状態監視手段が検知したとき、②システムの動作状態が前記境界条件の規定値を上回った状態が一定時間以上継続していることを前記状態監視手段が検知したとき、③指定された入力手段への入力操作があったこと

を前記状態監視手段が検知したとき、などのように定めることにより、演算処理などによる負荷が比較的少ないアイドル状態のCPUを特定して、選択的に省電力制御の対象とすることができるといふ効果が得られる。

【0074】また、前記状態制御手段による具体的な状態遷移制御として、①前記省電力制御ではCPU内に設けられたクロック停止手段を用いて当該CPUの動作を休止させる一方、前記復帰制御では当該CPUの動作を再開させる、②前記省電力制御ではCPUに供給するクロック周波数を通常状態用より低い省電力用周波数に切り替える一方、前記復帰制御では前記クロック周波数を通常状態用の周波数に切り替える、③前記省電力制御ではCPUへの電源供給を遮断して当該CPUを停止させる一方、前記復帰制御では当該CPUへの電源供給を再開して当該CPUを再起動させる、などの処理を行うようにしたことにより、同時に動作するCPUの個数に応じてマルチプロセッサシステム全体の消費電力を低減させることができるといふ効果が得られる。

【0075】また、前記状態監視手段による具体的な検知処理として、①前記境界条件の規定値を、システムの構成要素間でやり取りされる信号を中継するバス（システムバスまたはプロセッサバスおよびI/Oバスのうちの少なくともひとつ）の負荷状態を表す特定の値とし、現時点におけるバスの負荷状態をシステムの動作状態として検知する、②前記境界条件の規定値を、システム全体におけるアプリケーション実行の負荷状態を表す特定の値とし、現時点におけるアプリケーション実行の負荷状態をシステムの動作状態として検知する、③前記境界条件の規定値を、アプリケーションの機能を実現させるタスクまたはジョブを各々のCPUに分配するためのタスク・キューまたはジョブ・キューの状態および前記タスクまたはジョブの実行順序を制御するスケジューラの状態であるスケジューリング状態を表す特定の値とし、現時点におけるスケジューリング状態をシステムの動作状態として検知する、などの処理を行うようにしたことにより、実際に稼動している個々のマルチプロセッサシステムの特徴に合わせて最適な省電力制御を行うことができるという効果が得られる。

【0076】そしてさらに、前記状態監視手段および前記状態制御手段を、複数のCPUを用いたアプリケーション実行に必要なタスク・スレッドの生成および分配とスケジューリング制御とを行うマルチプロセッサ対応のオペレーティングシステムの内部に具備するとともに、あらかじめ前記境界条件の規定値を登録しておくためのシステム負荷参照テーブルをファームウェアに具備し、前記境界条件の規定値の登録または更新を行う際、前記システム負荷参照テーブルを前記ファームウェアからメモリ上に読み出し、システムの動作状態に応じてメモリ上の当該テーブル中に登録された各種の設定値を更新した後、新たに得られた当該テーブルを前記ファームウェア

アに書き込んだ上で、前記状態制御手段によるCPUの省電力制御に際して、システムの全体的な制御に影響を与えることのないアイドルスレッドを当該CPUに実行させるようにしたことにより、オペレーティングシステムを介して各々のCPU自体が有する省電力機能を利用することでハードウェア構成に依存しない省電力制御を行うとともに、マルチプロセッサシステムのアイドル状態を前記システム負荷参照テーブルに定義しておくことでシステム構成に変更があってもそれに応じて柔軟な省電力制御を行うことができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の省電力制御システムの一実施例の全体構成を示すブロック図である。

【図2】図1中のプロセッサ部の構成を示すブロック図である。

【図3】図2中のプロセッサにおけるクロック切り替えの処理フローを示す図である。

【図4】図2中のプロセッサの停止・電源切断の処理フローを示す図である。

【図5】CPUの停止処理の詳細を示す図である。

【図6】図2中のプロセッサバス監視部の構成を示すブロック図である。

【図7】図1中のプロセッサ部の他の構成を示すブロック図（その1）である。

【図8】図1中のプロセッサ部の他の構成を示すブロック図（その2）である。

【図9】図1のシステムで動作するマルチプロセッサシステム対応OSの全体構成を示す図である。

【図10】図9のOSによるプロセッサのクロック切り替え動作の処理フローを示す図である。

【図11】図9のOSによる任意のCPUの停止・電源切断の処理フローを示す図である。

【図12】任意のCPUの停止処理の詳細を示す図である。

【図13】図9のOSによる他の省電力制御の動作を示すフローチャート（その1）である。

【図14】図9のOSによる他の省電力制御の動作を示すフローチャート（その2）である。

【図15】本発明の省電力制御システムにおける電源部の一構成例を示すブロック図である。

【図16】本発明の省電力制御システムにおける電源部の他の構成例を示すブロック図である。

【図17】本発明の省電力制御システムにおける電源部のさらに他の構成例を示すブロック図である。

【図18】本発明の省電力制御システムの他の実施例の全体構成を示すブロック図である。

【図19】図18のシステムにおける省電力制御動作の処理フローを示す図である。

【図20】図18のシステムで動作するマルチプロセッサ

サシステム対応OSの全体構成を示す図である。

【図21】図20のOSによる省電力制御動作の処理フローを示す図である。

【図22】図20中のシステム負荷参照テーブルの一例を示す図である。

【図23】図20のOSによるシステム負荷参照テーブルの更新処理フローを示す図である。

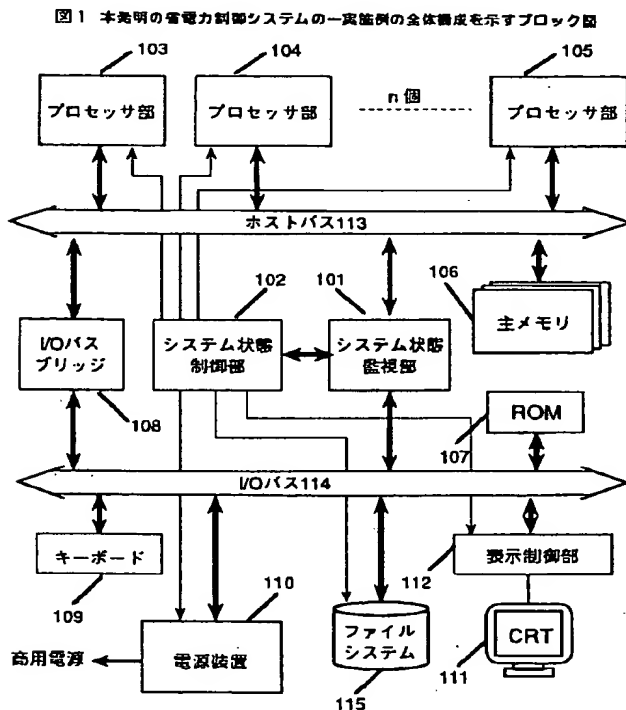
【図24】従来の省電力制御システムの一例を示すブロック図である。

【図25】従来のマルチプロセッサシステムにおける電源供給方式の一例を示すブロック図である。

【符号の説明】

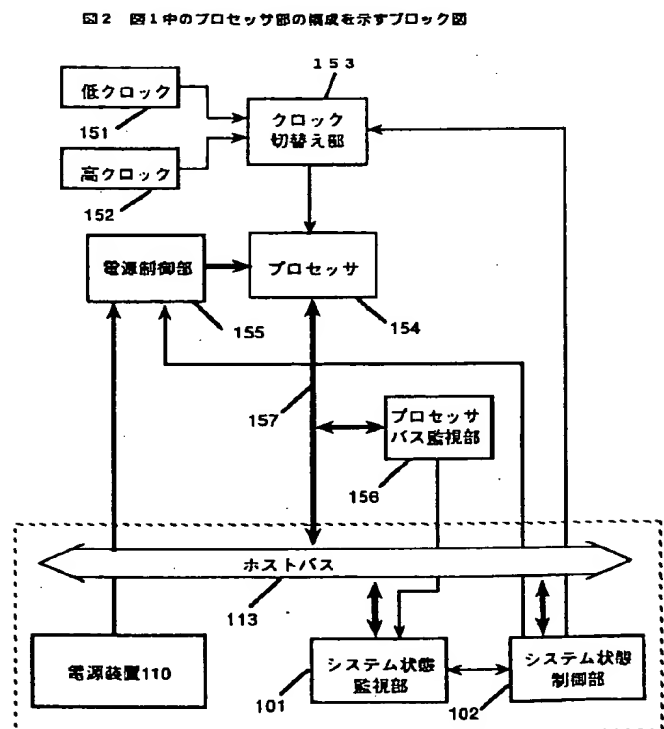
- 101 システム状態監視部
- 102 システム状態制御部
- 103, 104, 105 プロセッサ部
- 106 主メモリ
- 107 ROM
- 109 キーボード
- 110 電源装置
- 113 ホストバス
- 151 低クロック
- 152 高クロック

【図1】



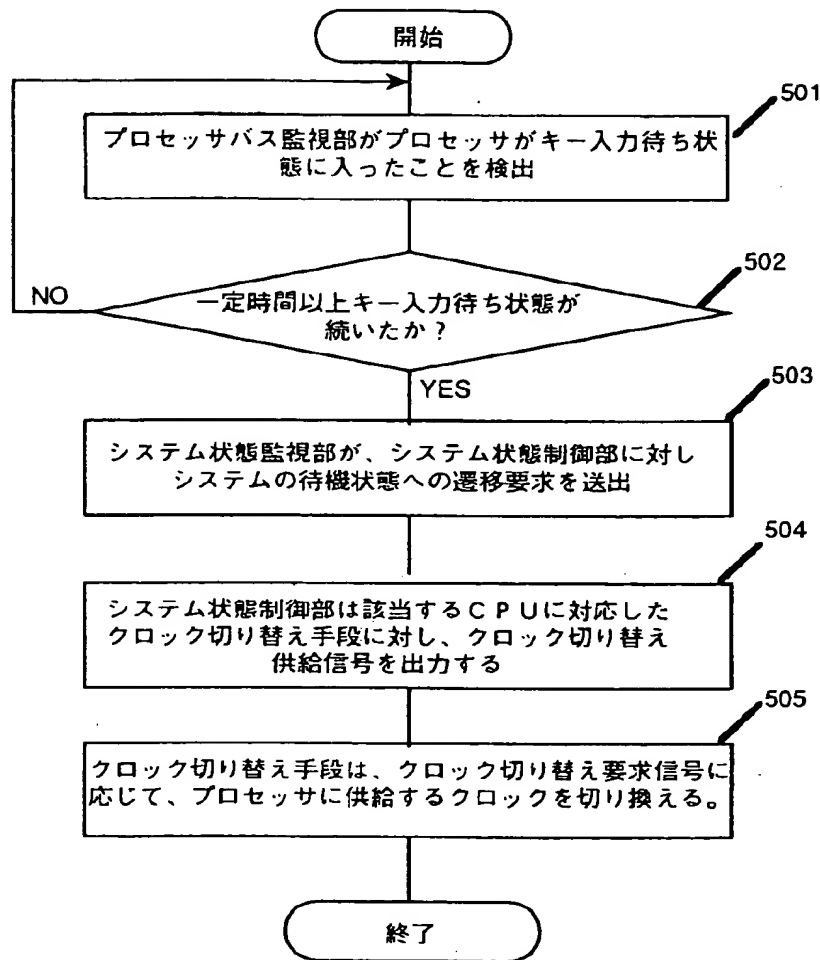
- 152 高クロック
- 153 クロック切り換え手段
- 154 プロセッサ
- 155 電源制御部
- 156 プロセッサバス監視部
- 157 プロセッサバス
- 158 ROM
- 202 シェル
- 203 ユーザインターフェース
- 204 アプリケーションインターフェース
- 205 カーネル
- 206 タスク割り当て部
- 207 負荷監視部
- 208 メモリ管理部
- 211₁, 211₂, 211_n タスクキュー
- 212₁, 212₂, 212_n 仮想CPU
- 213 ハードウェア仮想化層
- 215 省電力制御部
- 801 システムバス
- 802 システムマネジメント部
- 803 システム負荷参照テーブル

【図2】



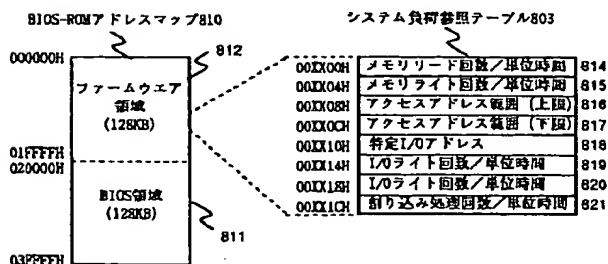
【図3】

図3 図2中のプロセッサにおけるクロック切り替えの処理フローを示す図



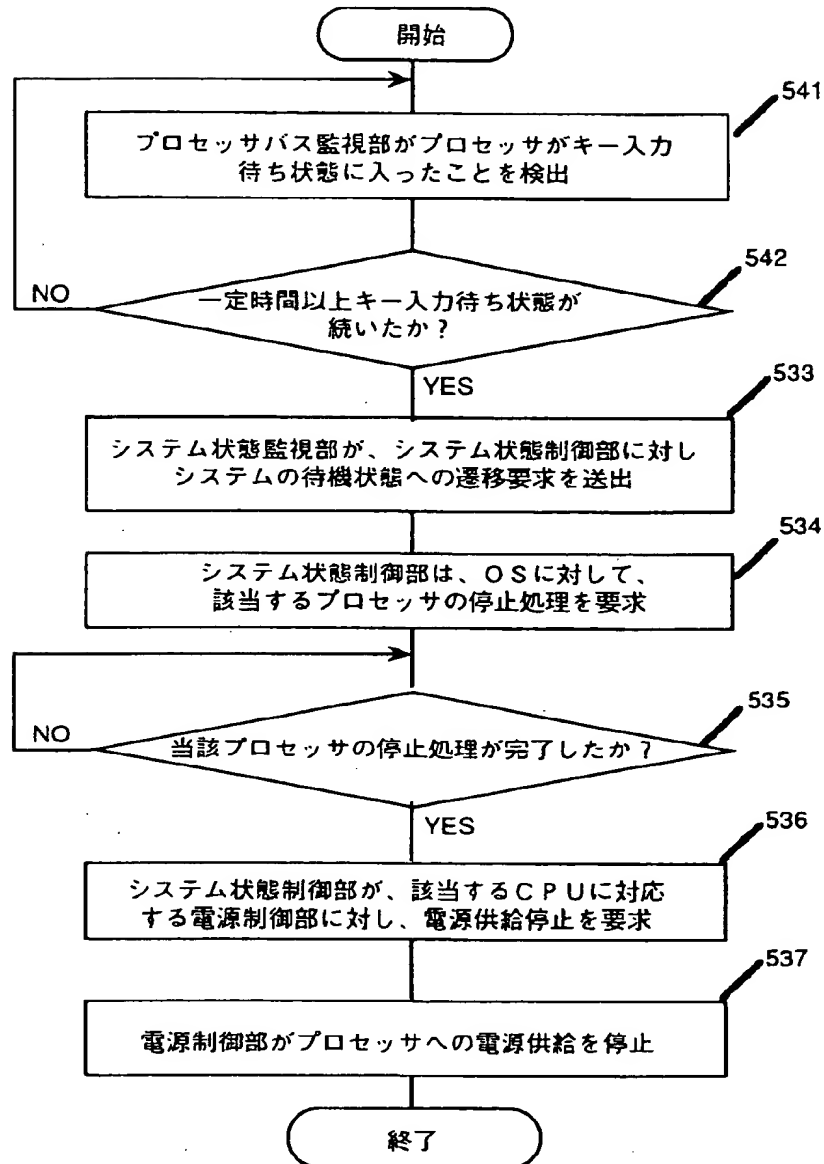
【図22】

図22 図20中のシステム負荷参照テーブルの一例を示す図



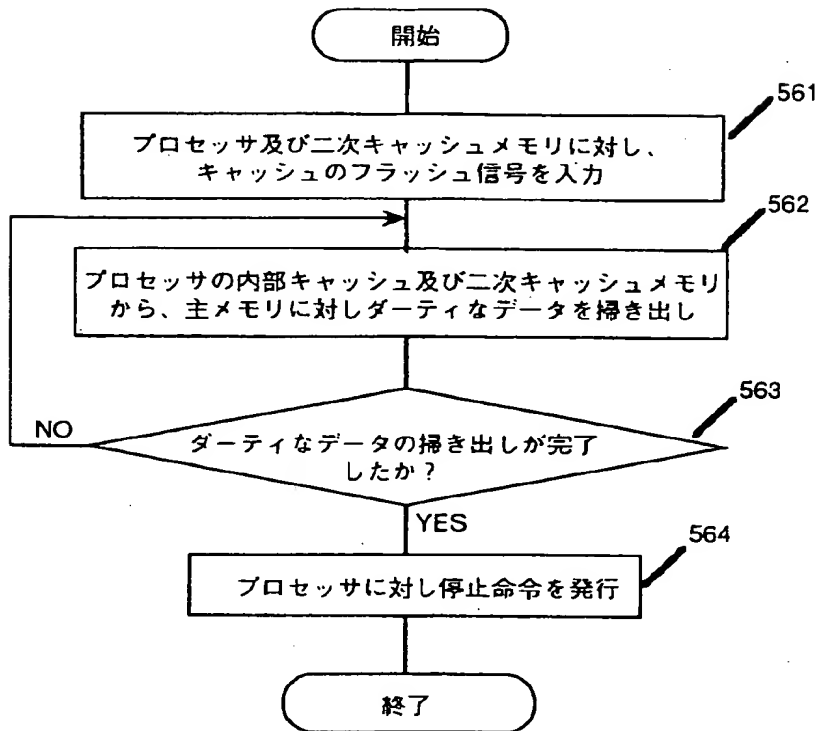
【図4】

図4 図2中のプロセッサの停止・電源切断の処理フローを示す図



【図5】

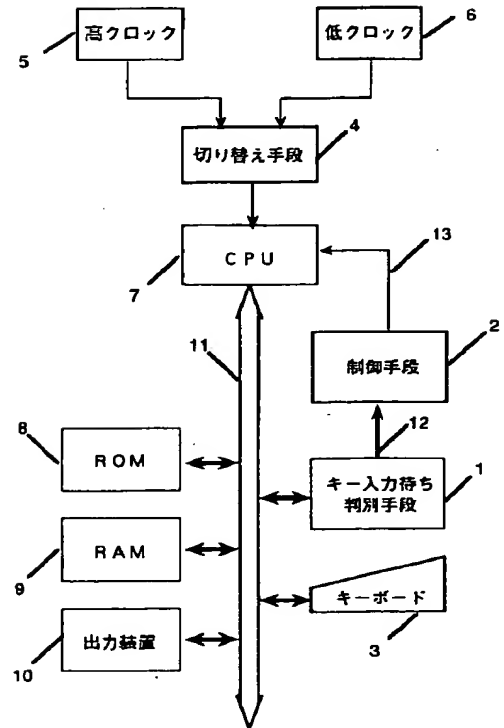
図5 CPUの停止処理の詳細を示す図



【図6】

【図24】

図24 従来の省電力制御システムの一例を示すブロック図



【図15】

図15 本発明の省電力制御システムにおける電源部の一構成例を示すブロック図

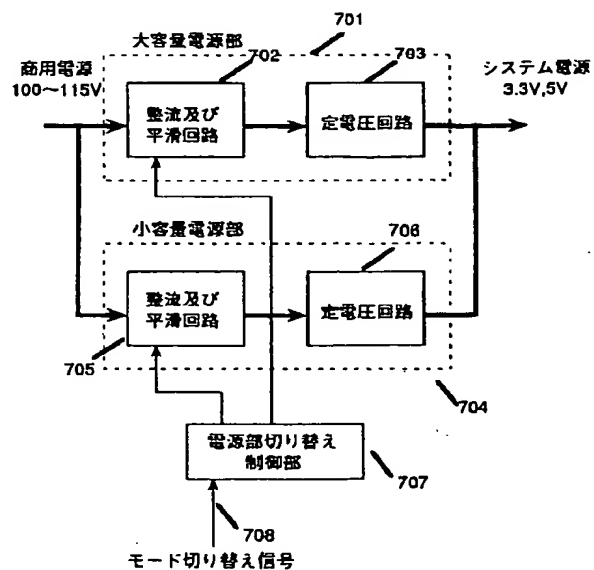
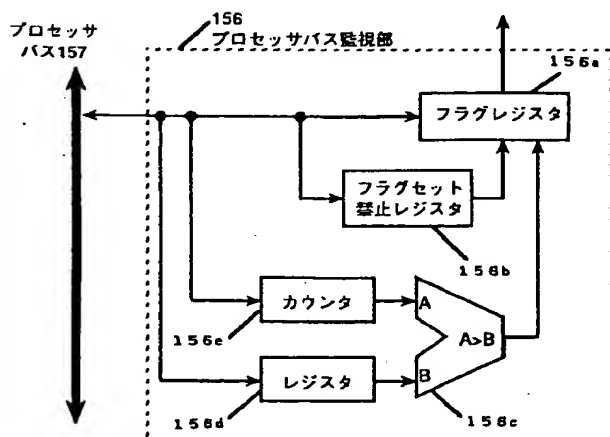
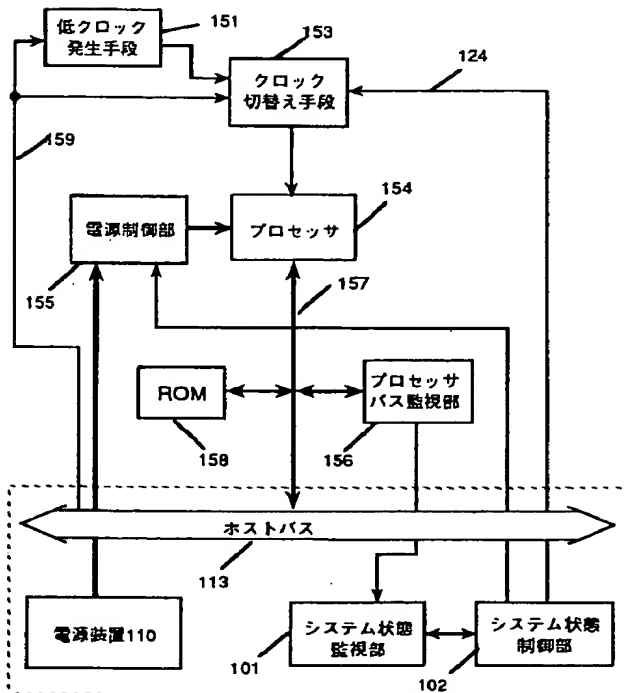


図6 図2中のプロセッサバス監視部の構成を示すブロック図



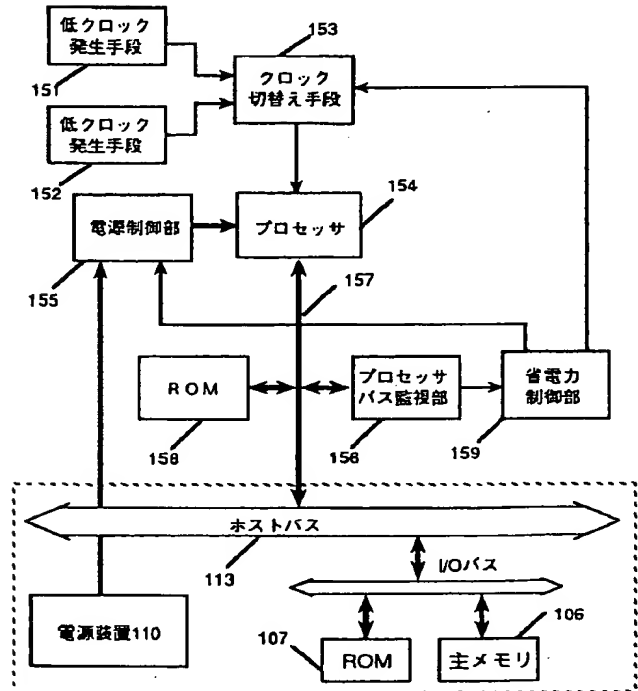
【図 7】

図 7 図 1 中のプロセッサ部の他の構成を示すブロック図 (その 1)



【図 8】

図 8 図 1 中のプロセッサ部の他の構成を示すブロック図 (その 2)



【図 16】

【図 18】

図 18 本発明の省電力制御システムの他の実施例の全体構成を示すブロック図

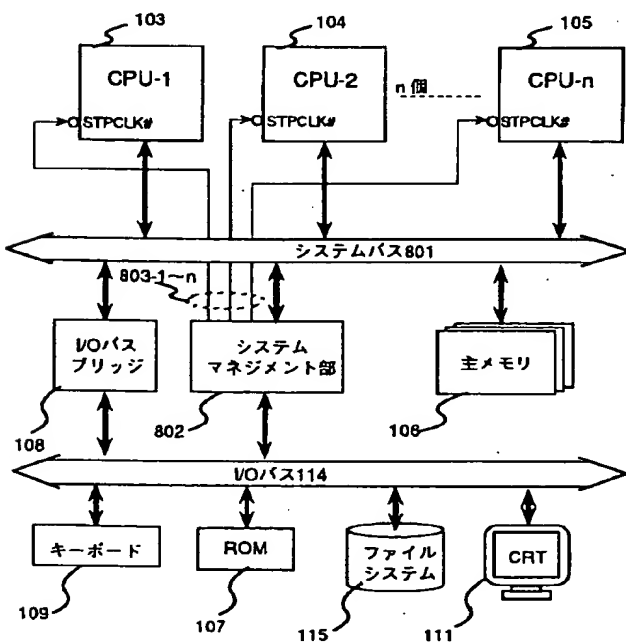
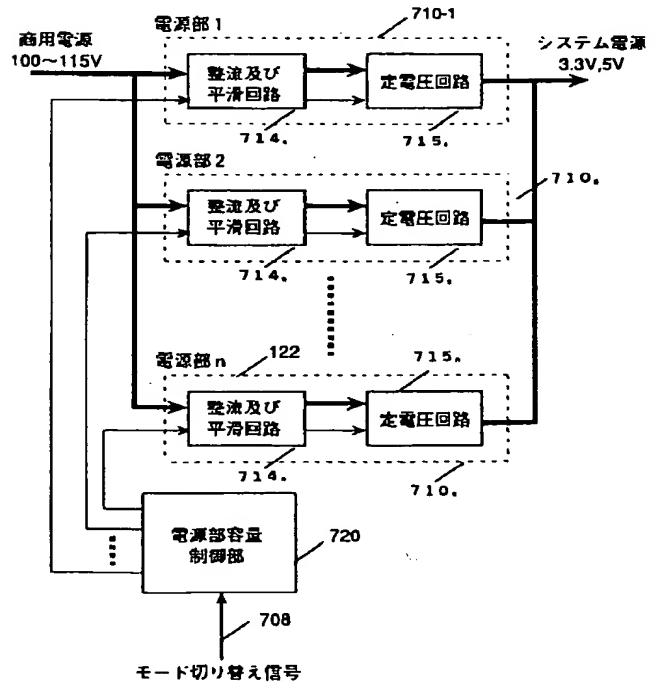
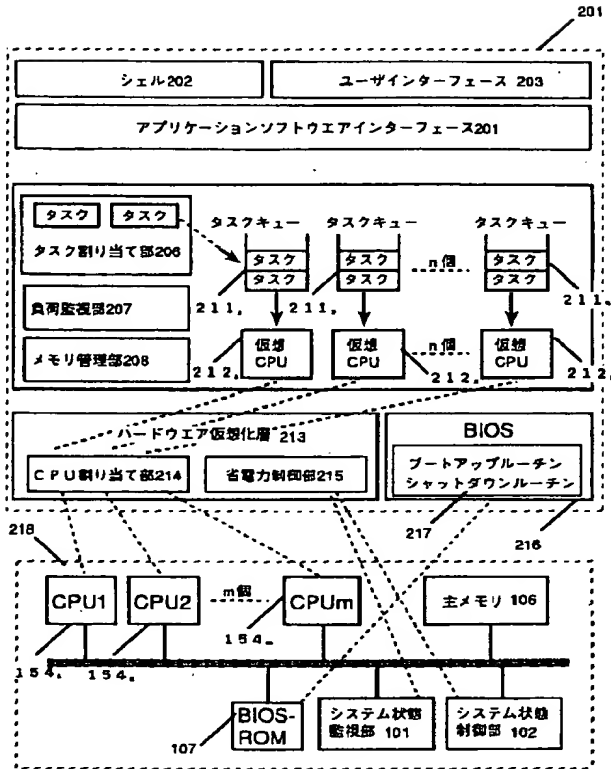


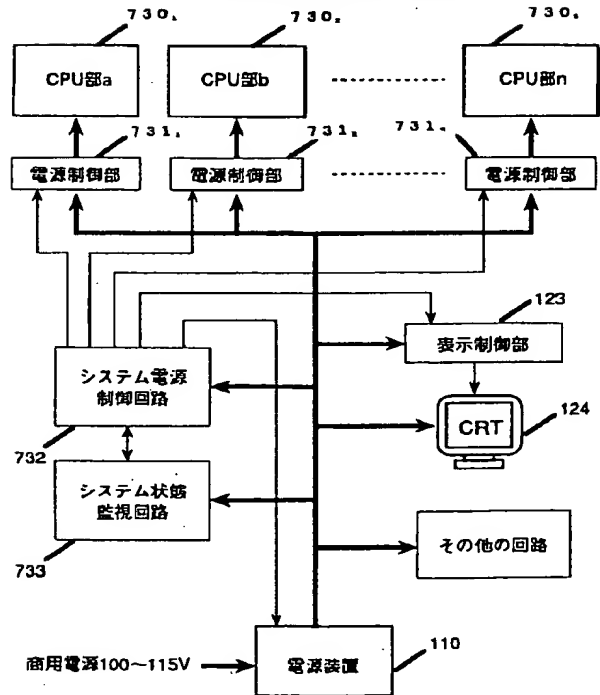
図 16 本発明の省電力制御システムにおける電源部の他の構成例を示すブロック図



【図9】

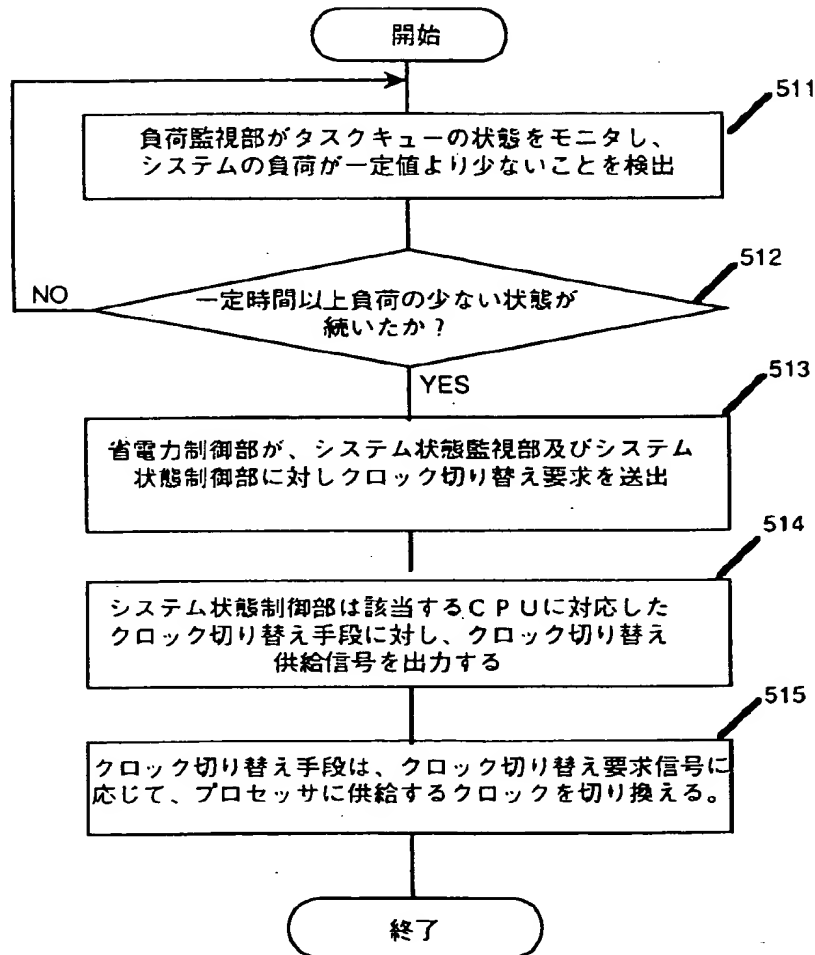
図9 図1のシステムで動作する
マルチプロセッサシステム対応OSの全体構成を示す図

【図17】

図17 本発明の省電力制御システムにおける電源部
のさらに他の構成例を示すブロック図

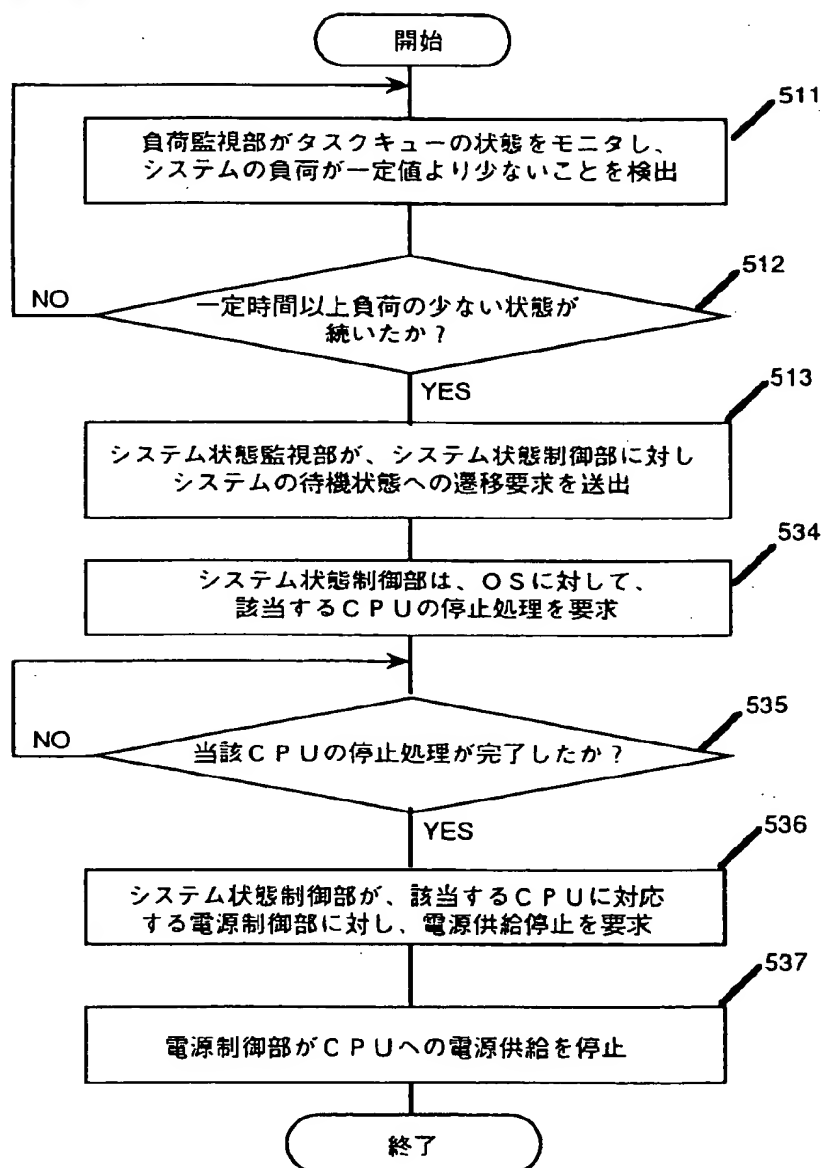
【図10】

図10 図9のOSによるプロセッサのクロック切り替え動作の処理フローを示す図



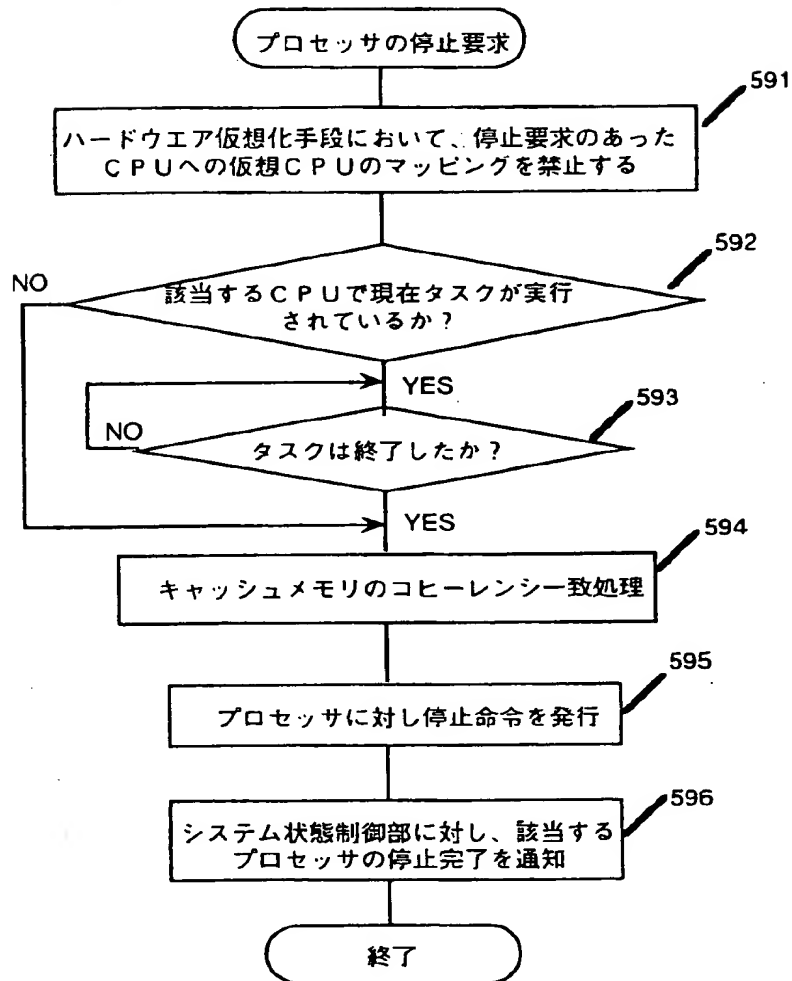
【図11】

図11 図9のOSによる任意のCPUの停止・電源切断の処理フローを示す図



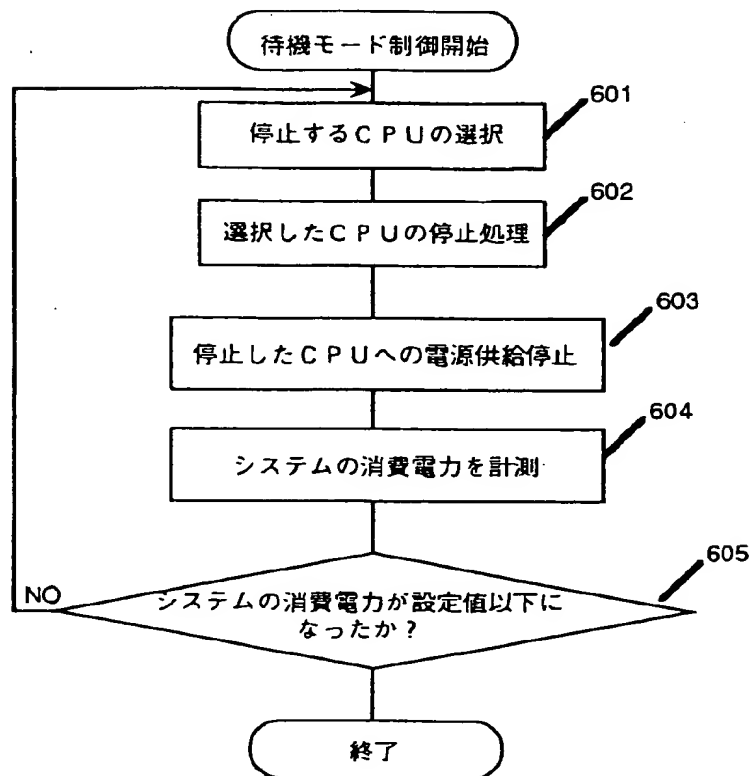
【図12】

図12 任意のCPUの停止処理の詳細を示す図



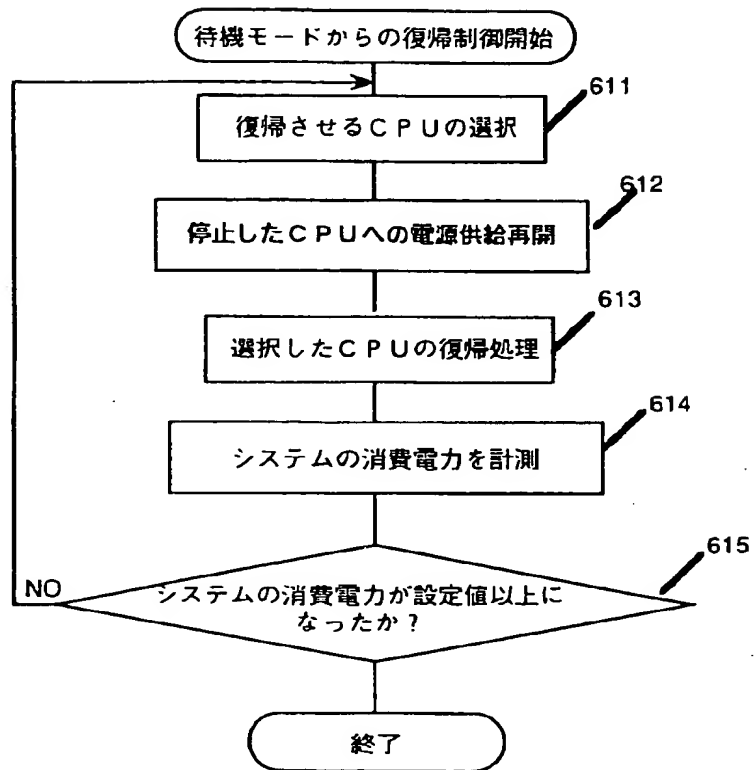
【図13】

図13 図9のOSによる他の省電力制御の動作を示すフローチャート（その1）



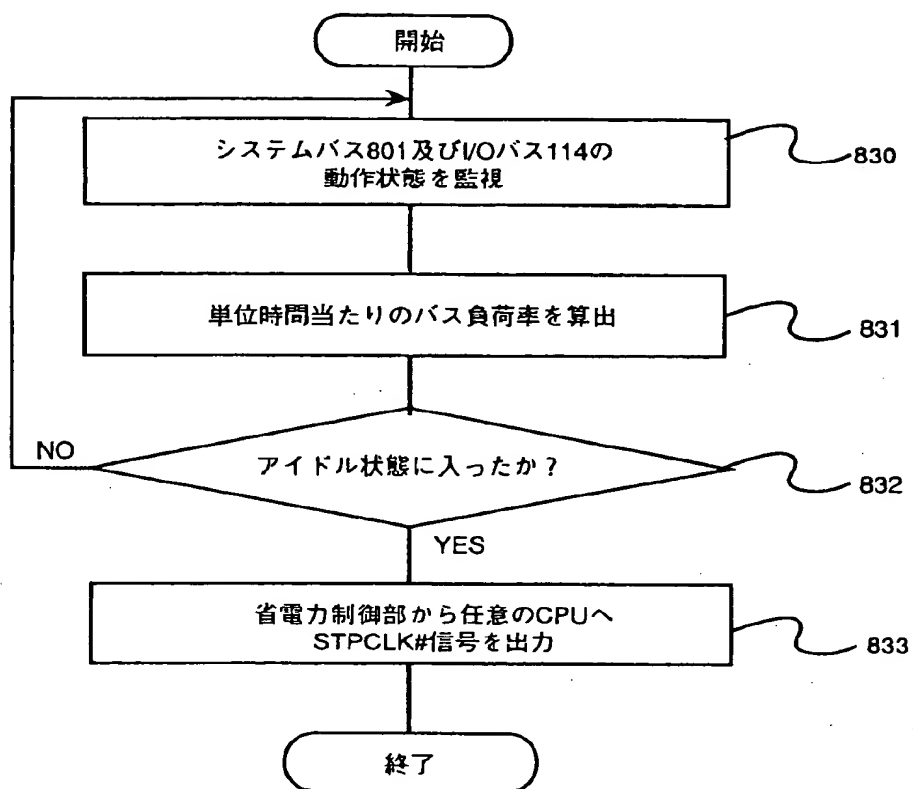
【図14】

図14 図9のOSによる他の省電力制御の動作を示すフローチャート（その2）

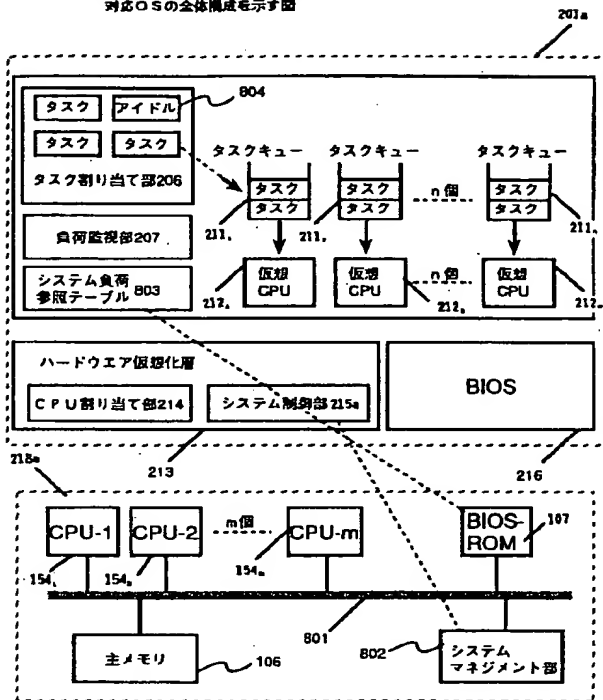


【図19】

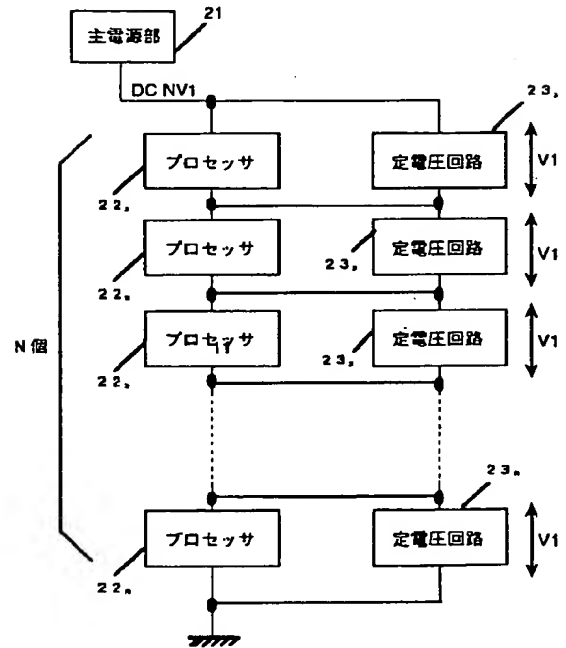
図19 図18のシステムにおける省電力制御動作の処理フローを示す図



【図20】

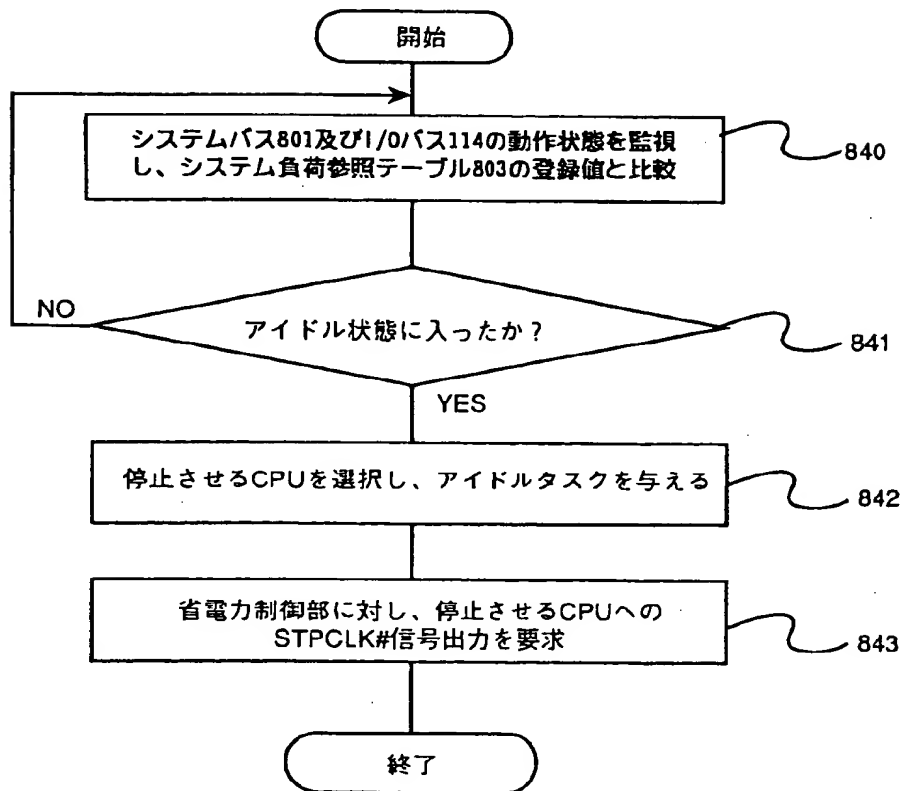
図20 図18のシステムで動作するマルチプロセッサシステム
対応OSの全体構成を示す図

【図25】

図25 従来のマルチプロセッサシステムにおける
電源供給方式の一例を示すブロック図

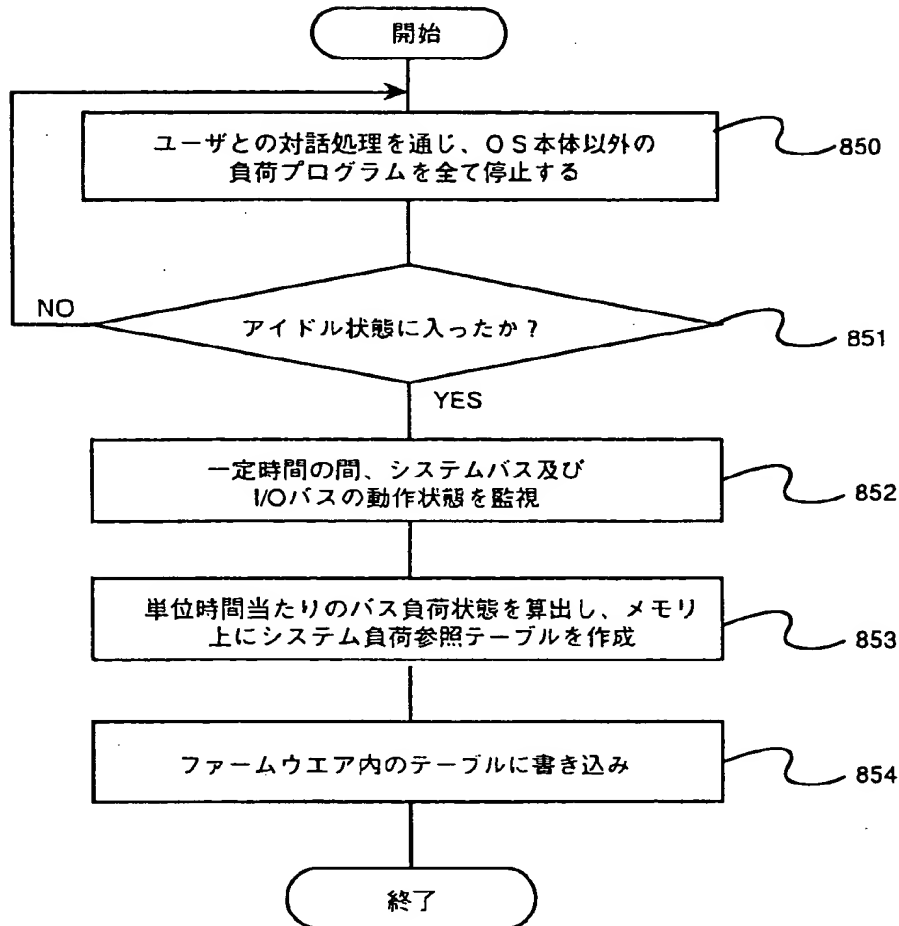
【図21】

図21 図20のOSによる省電力制御動作の処理フローを示す図



【図23】

図23 図20のOSによるシステム負荷参照テーブルの更新処理フローを示す図



フロントページの続き

(51)Int.Cl.⁶

G 0 6 F 15/16

識別記号

4 6 0 Z

庁内整理番号

F I

技術表示箇所

(72)発明者 原 敦

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内

(72)発明者 小倉 敏彦

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内

(72)発明者 岡澤 宏一

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内

(72)発明者 大枝 高

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所システム開発研究所内

(72)発明者 佐野 真

茨城県ひたちなか市稲田1410番地 株式会
社日立製作所マルチメディアシステム事業
部内